SoC Lab4-1

組別: 第十六組 成員:周聖平、蔡以心、張煒侖

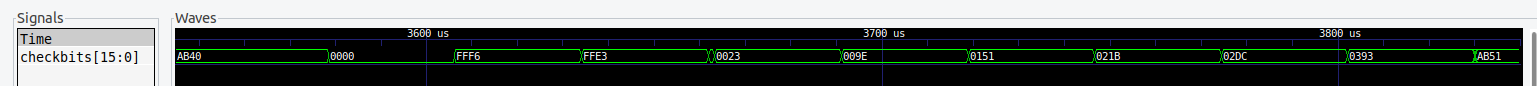
1. Explanation of your firmware code

* How does it execute a multiplication in assembly code
* What address allocate for user project and how many space is required to allocate to firmware code

.hex檔 約 7.4KB，而N需要>=7才有正常的輸出

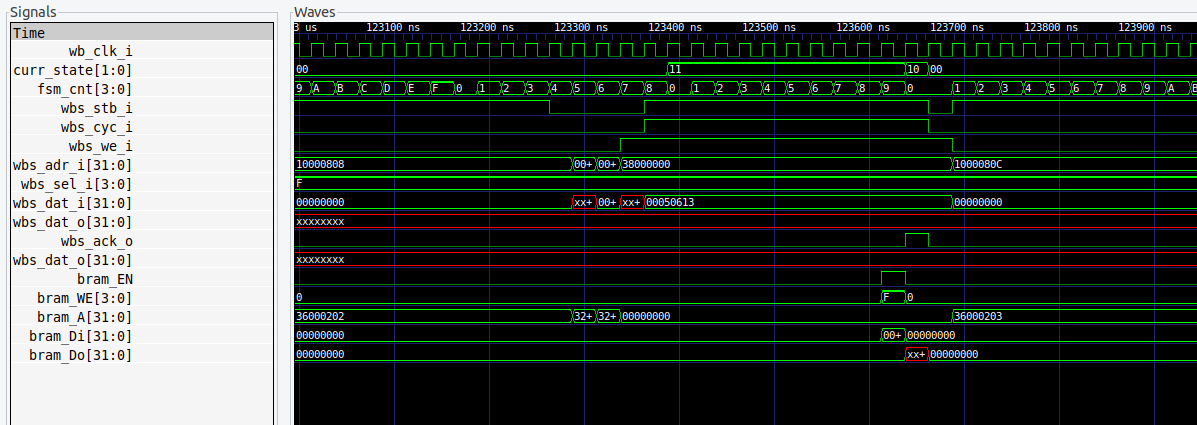
二、Interface between BRAM and wishbone

* Waveform from xsim

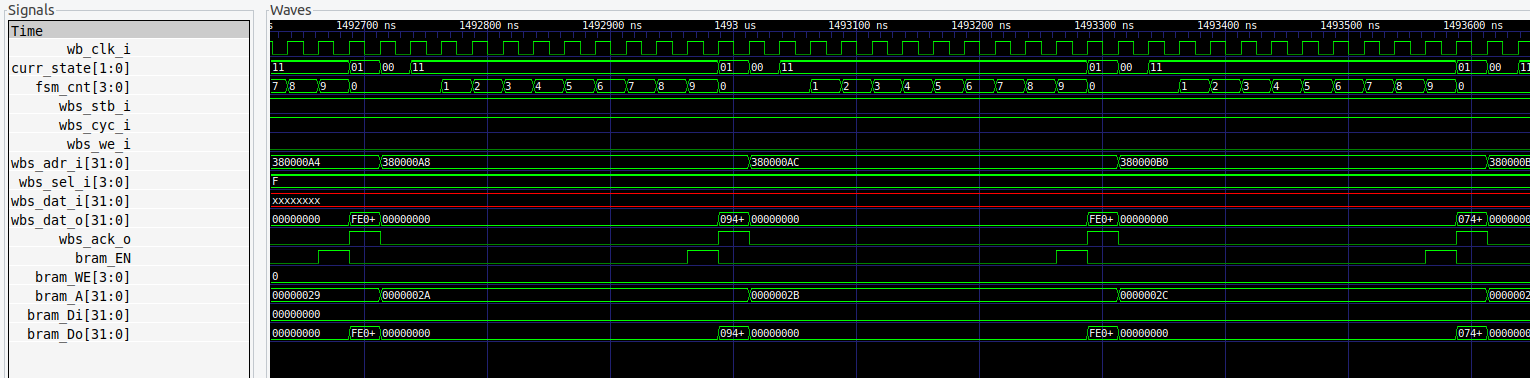


* FSM

WRITE



READ



FSM共有四個State，RECV(00)、RD(01)、WR(10)、DELAY(11)。

RECV : 當RECV接收到wbs\_stb\_i && wbs\_cyc\_i 時，就會進入到DELAY。

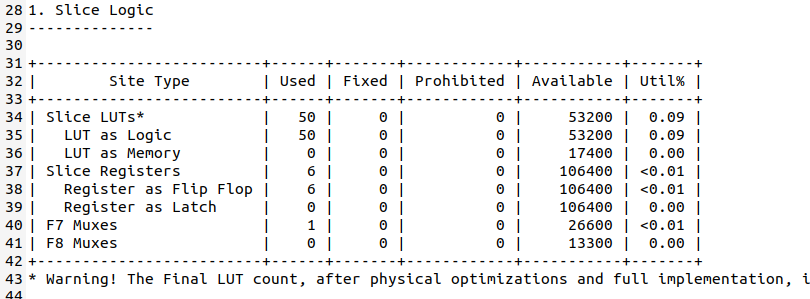
DELAY: DELAY狀態是為了要去滿足Parameter Delay，當DELAY到最後一個clock時，就會去Access BRAM，也就是去對BRAM做讀寫的動作。而接下來，將會由wbs\_we\_i來決定是要跳去RD 還是 WR。

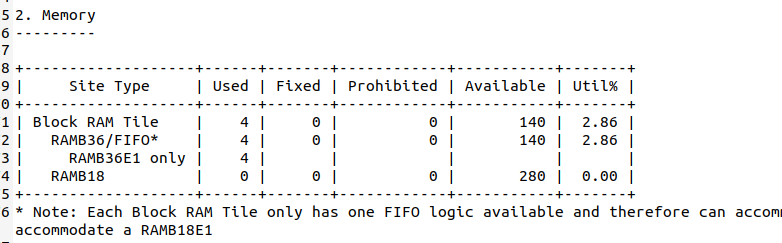
RD: RD狀態會將bram\_Do 輸出到 wbs\_dat\_o，並將wbs\_ack\_o拉為H，接下來，就會跳回RECV等待下個Request。

WR: WR狀態會直接將wbs\_ack\_o拉為H，因為在DELAY狀態的最後一個clock就會去完成寫入BRAM的動作，而接下來，就會跳回RECV等待下個Request。

1. Synthesis report

LUT: 50 Register: 6



BRAM:4

1. Other discoveries

五、Github Link

<https://github.com/PatriChou/lab-exmem-fir.git>